

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-29904

(43)公開日 平成5年(1993)2月5日

(51)Int. Cl.<sup>5</sup>

H 0 3 K 17/56

17/615

識別記号

E 9184-5 J

9184-5 J

庁内整理番号

F I

H 0 3 K 17/ 60

技術表示箇所

B

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-186640

(22)出願日 平成3年(1991)7月25日

(71)出願人 000003218

株式会社豊田自動織機製作所

愛知県刈谷市豊田町2丁目1番地

(72)発明者 河内 浩康

愛知県刈谷市豊田町2丁目1番地 株式会

社豊田自動織機製作所内

(72)発明者 三浦 澄貴

愛知県刈谷市豊田町2丁目1番地 株式会

社豊田自動織機製作所内

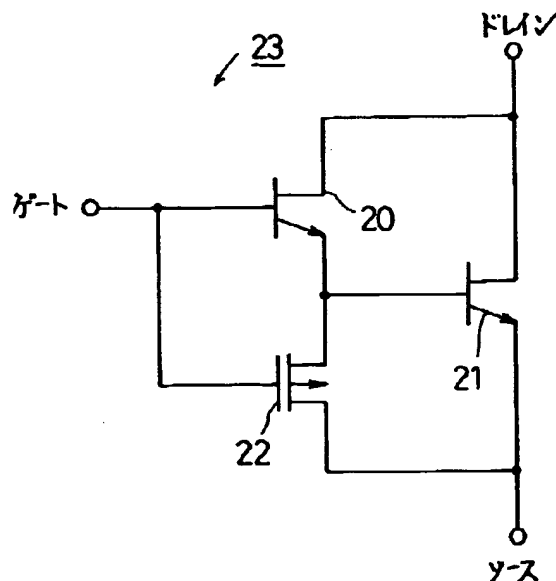
(74)代理人 弁理士 恩田 博宜

(54)【発明の名称】 スイッチング回路

(57)【要約】

【目的】ダーリントン回路がターンオフ時にその後段のスイッチング素子の蓄積電荷を引き抜いてターンオフ時間を短くし、高速スイッチング動作を可能にする。

【構成】前段のスイッチング素子としてのnチャネルのSIT20のソースを、後段のスイッチング素子としてのnチャネルのSIT21のゲートに接続し、SIT20とSIT21のドレインを接続している。そして、SIT20、21でダーリントン回路を構成している。また、第3のスイッチング素子としてのpチャネルのMOSTランジスタ22とSIT20のそれぞれのゲートを接続し、MOSTランジスタ22のドレインとSIT20のソースを接続している。さらに、MOSTランジスタ22とSIT21のそれぞれのソースを接続している。。



1

## 【特許請求の範囲】

【請求項1】 前段・後段のスイッチング素子によって構成したダーリントン回路に、

前記前段のスイッチング素子の入力端子に、前記後段のスイッチング素子の導通時に蓄積された電荷を引き抜く第3のスイッチング素子の入力端子を接続し、前記後段のスイッチング素子の入力端子に前記第3のスイッチング素子の一方の出力端子を接続し、

前記後段のスイッチング素子の出力端子に前記第3のスイッチング素子の他方の出力端子を接続することによって構成したスイッチング回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路で使用されるスイッチング回路に関するものである。

【0002】

【従来の技術】従来、図5に示すように、ダーリントン回路1は、トランジスタ2のエミッタをトランジスタ3のベースに接続し、トランジスタ2とトランジスタ3の互いのコレクタを接続している。そして、このダーリントン回路1は、トランジスタ2のベースをそのベースとし、トランジスタ3のエミッタ、コレクタをそれぞれそのエミッタ、コレクタとする、1つのトランジスタとして動作している。

【0003】そして、トランジスタ2のベースに、バイアスをかけるためのドライブ回路（図示略）によって順バイアスをかけると、トランジスタ2のベースにバイアス電流が流れ込んでトランジスタ2はオンする。すると、トランジスタ3のベースにトランジスタ2のエミッタ電流が流れ込んでトランジスタ3はオンする。つまり、ダーリントン回路1はオンすることになる。

【0004】次に、トランジスタ2のベースにドライブ回路によって逆バイアスをかけると、ベースに流れ込んでいたバイアス電流が断たれ、そのベース容量に蓄積していた電荷がドライブ回路に引き抜かれてトランジスタ2はターンオフする。すると、トランジスタ3のベースに流れ込んでいたトランジスタ2のエミッタ電流が断たれ、トランジスタ3のベース容量に蓄積していた電荷が消失してトランジスタ3はターンオフする。つまり、ダーリントン回路1はターンオフすることになる。

【0005】このようにして、このダーリントン回路1はスイッチング動作を行っている。上記したように、トランジスタ3はトランジスタ2がターンオフした後でないとターンオフしないため、ダーリントン回路1のターンオフ時間は、トランジスタ2、3のそれぞれのターンオフ時間を加えた値となる。そのために、ダーリントン回路1のターンオフ時間は長くなってしまふ。

【0006】従って、ダーリントン回路1は、高耐圧・大電流・高増幅率については実現できるものの、高速度スイッチング動作を行うことはできなかった。そこで、図

2

6に示すように、図1のダーリントン回路1と同様な構成によるトランジスタ4、5のダーリントン回路において、トランジスタ4のベースとエミッタの間にダイオード6を接続したダーリントン回路7が用いられている。

【0007】このダーリントン回路7は、ターンオン動作についてはダーリントン回路1と同様な作用によって動作している。しかし、ターンオフ動作については、トランジスタ4のベースにドライブ回路によって逆バイアスをかけた後に、次の①、②の作用が同時に進行することによって行われている。①トランジスタ4のベースに流れ込んでいたバイアス電流が断たれ、トランジスタ4のベース容量に蓄積していた電荷がドライブ回路に引き抜かれて、トランジスタ4がターンオフする。②トランジスタ4のエミッタ電流はトランジスタ5のベースに流れ込むことなく、ダイオード6を介してドライブ回路に引き抜かれ、トランジスタ5のベース容量に蓄積していた電荷もダイオード6を介してドライブ回路に引き抜かれて、トランジスタ5がターンオフする。

【0008】従って、トランジスタ5はトランジスタ4とはほぼ同時にターンオフする。すなわち、ダーリントン回路7はダーリントン回路1に比べてターンオフ時間が短くなるため、高速度スイッチング動作を行うことができる。

【0009】このように、ダイオード6を加えたダーリントン回路7によって、高耐圧・大電流・高増幅率・高速度で動作するスイッチング回路を実現していた。

【0010】

【発明が解決しようとする課題】しかしながら、前記ダーリントン回路7のドライブ回路は、トランジスタ4、5の両方のベース容量に蓄積している電荷を引き抜くために、電流容量が大きくなければならない。しかし、電流容量の大きなドライブ回路では、回路が大型化することから高集積化が妨げられると共に消費電力が多くなる等の問題があった。

【0011】ところで、トランジスタのベース容量に蓄積した電荷を引き抜いて高速度なスイッチング動作を行わせると同時に、バイアスをかけるドライブ回路の電流容量をゼロにできる回路として、図7に示すように、MOSトランジスタを用いた蓄積電荷放電回路が提案されている。

【0012】すなわち、トランジスタ8のベースにnチャネルのMOSトランジスタ9のソースとpチャネルのMOSトランジスタ10のソースとを接続し、トランジスタ8のコレクタとMOSトランジスタ9のドレインとを接続している。そして、トランジスタ8のエミッタとMOSトランジスタ10のソースとを接続し、MOSトランジスタ9とMOSトランジスタ10の互いのベースを接続してドライブ回路（図示略）からバイアス電圧をかけている。

【0013】そして、ドライブ回路によってトランジス

タ8がオンするようにバイアスがかけられると、MOSトランジスタ9はオンして、MOSTランジスタ10はオフする。すると、MOSTランジスタ9を介してトランジスタ8のベースにバイアス電流が流れ込んでトランジスタ8はオンする。

【0014】次に、ドライブ回路によってトランジスタ8がターンオフするようにバイアスがかけられると、MOSTランジスタ9はターンオフして、MOSTランジスタ10はターンオンする。すると、トランジスタ8のベースに流れ込んでいたバイアス電流が断たれ、ベース容量に蓄積していた電荷はMOSTランジスタ10を介して引き抜かれ、トランジスタ8はターンオフする。

【0015】このように、トランジスタ8のベース容量に蓄積した電荷をMOSTランジスタ10を介して引き抜かれて速やかにターンオフすることにより、トランジスタ8は高速スイッチング動作を行っている。

【0016】また、MOSTランジスタ9、10は電圧駆動型スイッチング素子であるため、そのドライブ回路は定常的に電流を流し続ける必要はない。しかしながら、前記したように、トランジスタ8単体では所定の高

耐圧・大電流・高増幅率を得ることができない。  
【0017】また、MOSTランジスタ単体のオン時のドレイン・ソース間電圧は、バイポーラトランジスタ単体のオン時のコレクタ・エミッタ間電圧と比べて高い。そして、トランジスタ8のオン時のコレクタ・エミッタ間電圧は、MOSTランジスタ9のドレイン・ソース間電圧とトランジスタ8のベース・エミッタ間電圧とを加えた電圧である。従って、トランジスタ8のオン時のコレクタ・エミッタ間電圧はトランジスタ8の単体のそれよりかなり高くなる。すなわち、スイッチング回路としてはオン時の消費電力が大きくなってしまふ。

【0018】本発明は上記問題点を解決するためになされたものであって、その目的は半導体集積回路で使用されるスイッチング回路において、電流容量の小さなドライブ回路で駆動することが可能で、高耐圧・大電流・高増幅率・高速で動作し、消費電力が小さなスイッチング回路を提供することにある。

【0019】

【課題を解決するための手段】本発明は上記問題点を解決するため、前段・後段のスイッチング素子によって構成したダーリントン回路に、前記前段のスイッチング素子の入力端子に、前記後段のスイッチング素子の導通時に蓄積された電荷を引き抜く第3のスイッチング素子の入力端子を接続し、前記後段のスイッチング素子の入力端子に前記第3のスイッチング素子の一方の出力端子を接続し、前記後段のスイッチング素子の出力端子に前記第3のスイッチング素子の他方の出力端子を接続したことをその要旨とする。

【0020】

【作用】ダーリントン回路がオン時に、その後段のスイ

ッチング素子には電荷が蓄積される。そして、ダーリントン回路がターンオフ時に、後段のスイッチング素子に蓄積された電荷を、第3のスイッチング素子を介して引き抜く。その結果、ダーリントン回路のターンオフ時間は短くなり、高速スイッチング動作を行うことができる。このダーリントン回路は、高耐圧・大電流・高増幅率・高速で動作する1つのスイッチング回路として働く。

【0021】

10 【実施例】(第1実施例)以下、本発明を具体化した第1実施例を図1に従って説明する。

【0022】すなわち、nチャネルの静電誘導型トランジスタ(SIT:Static Induction Transistor)20、21は、前段のスイッチング素子としてのSIT20のソースを後段のスイッチング素子としてのSIT21のゲートに接続し、SIT20とSIT21のドレインを接続している。また、第3のスイッチング素子としてのpチャネルのMOSTランジスタ22とSIT20のそれぞれのゲートを接続し、MOSTランジスタ22のソースとSIT20のソースを接続している。さらに、MOSTランジスタ22のドレインとSIT21のソースを接続している。そして、ダーリントン回路23は、SIT20、21とMOSTランジスタ22とで構成され、SIT20のベースをそのベースとし、SIT21のドレイン、ソースをそれぞれそのドレイン、ソースとする、1つのSITとして動作する。

【0023】次に、上記のように構成したダーリントン回路23の作用について説明する。SIT20のゲートに、バイアスをかけるためのドライブ回路(図示略)により順バイアスをかけると、SIT20のゲートにバイアス電流が流れ込んでSIT20はオンし、MOSTランジスタ22はオフする。すると、SIT21のゲートにSIT20のソース電流が流れ込んでSIT21はオンする。つまり、ダーリントン回路23はオンすることになる。

【0024】次に、SIT20のゲート(=MOSTランジスタ22のゲート)にドライブ回路により逆バイアスをかけると、SIT20のゲートに流れ込んでいたバイアス電流が断たれ、SIT20のゲート容量に蓄積していた電荷がドライブ回路に引き抜かれてSIT20はターンオフする。また、SIT20のゲートに逆バイアスをかけるということは、MOSTランジスタ22のゲートに順バイアスをかけることになるため、電圧駆動型スイッチング素子であるMOSTランジスタ22はSIT20がオフすると同時にターンオフする。すると、SIT21のゲート容量に蓄積していた電荷もMOSTランジスタ22を介して引き抜かれ、SIT21はターンオフする。つまり、ダーリントン回路23はターンオフすることになる。

5

【0025】このようにして、ダーリントン回路23はスイッチング動作を行っている。すなわち、ダーリントン回路23はターンオフ時間が短くなるため、高速スイッチング動作を行うことができる。

【0026】また、ダーリントン回路23のドライブ回路は、SIT21に関してはMOSTランジスタ22を介して電圧駆動することになるため、SIT20の電流駆動のみを行えばよい。そのため、ドライブ回路の電流容量は小さくて済むことになる。

【0027】さらに、SIT単体のオン時のドレイン・ソース間電圧は、MOSTランジスタ単体のオン時のドレイン・ソース間電圧と比べて低く、また、バイポーラトランジスタのコレクタ・エミッタ間電圧と比べても低い。従って、ダーリントン回路23のオン時のドレイン・ソース間電圧は低くなり、オン時の消費電力が小さくなる。

【0028】加えて、SITはバイポーラトランジスタよりも大電流・高電圧を扱うことができる。このように本実施例のダーリントン回路23によって、電流容量の小さなドライブ回路で駆動することが可能で、高耐圧・大電流・高増幅率・高速で動作し、消費電力が小さなスイッチング回路を実現することができる。

【0029】(第2実施例) 本発明の第2実施例を図2に示すダーリントン回路24に従って説明する。尚、本第2実施例において、図1に示した前記第1実施例と異なっているのは、SIT20のゲートとMOSTランジスタ22のゲートとを接続しないで、SIT20とMOSTランジスタ22のそれぞれに別個のドライブ回路(図示略)によってバイアスをかけていることのみである。

【0030】そして、必要に応じてMOSTランジスタ22を動作させることによって、前記第1実施例と同様な作用と効果を得ている。また、SIT20のゲートとMOSTランジスタ22のゲートとをスイッチ(図示略)によって適宜に接続して1つのドライブ回路(図示略)からバイアスをかけるようにしてもよい。

【0031】(第3実施例) 本発明の第3実施例を図3に示すダーリントン回路25に従って説明する。尚、本第3実施例において、図1に示した前記第1実施例と異なっているのは、SIT20のゲートとソースの間に抵抗26を接続し、SIT21のゲートとソースの間に抵抗27を接続していることのみである。

【0032】その抵抗26、27を介して、ダーリントン回路25の出力であるSIT21のソースから入力であるSIT20のゲートへ負帰還をかけることによって、ダーリントン回路25の増幅率を適宜に落として安定化させている。そして、前記第1実施例と同様な作用と効果を得ている。

【0033】(第4実施例) 本発明の第4実施例を図4に示すダーリントン回路28に従って説明する。尚、本

6

第4実施例において、図1に示した前記第1実施例と異なっているのは、MOSTランジスタ22をpチャネルのSIT29に置き換えたことのみである。

【0034】MOSTランジスタのドレイン・ソース間抵抗は正の温度係数をもっているため、前記第1実施例におけるMOSTランジスタ22は高温になると、オン時のドレイン・ソース間抵抗が上昇する。従って、高温になるとMOSTランジスタ22は、ダーリントン回路23のターンオフ時に、SIT20のソース電流とSIT21のゲート容量に蓄積していた電荷とを十分に流さなくなってしまう。その結果、ダーリントン回路23のターンオフ時間が長くなり、高速スイッチング動作が行えなくなる。

【0035】しかし、SITのドレイン・ソース間抵抗は、小電流動作の時には負の温度係数をもっている。そこで、SIT29を小電流動作させることによって、高温時にもターンオフ時間が短いダーリントン回路28を実現することができる。

【0036】但し、ダーリントン回路28のドライブ回路(図示略)は、ターンオン時には、SIT20のゲートにバイアス電流を流し込むのに加えて、SIT29のゲートにもバイアス電流を流し込んでいる。また、ターンオフ時には、SIT20のゲート容量に蓄積した電荷を引き抜くのに加えて、SIT21のゲート容量に蓄積した電荷をも引き抜いている。

【0037】尚、本発明は上記実施例に限定されるものではなく、例えば、上記第2～4実施例をそれぞれ適宜に組み合わせて実施してもよい。また、SIT20、21、および、MOSTランジスタ22のそれぞれをバイポーラトランジスタ等の電流駆動型スイッチング素子に、置き換えてもよい。

【0038】さらに、SIT20、21はpチャネルのSITで応用してもよい。その場合、MOSTランジスタ22はnチャネルのMOSTランジスタとして具体化することになる。

【0039】加えて、上記実施例の回路は半導体集積回路で使用すれば特に有効になるが、ディスクリート回路で使用してもよい。

【0040】

【発明の効果】以上詳述したように本発明によれば、半導体集積回路で使用されるスイッチング回路において、電流容量の小さなドライブ回路で駆動することが可能で、高耐圧・大電流・高増幅率・高速で動作し、消費電力が小さなスイッチング回路を提供できる優れた効果がある。

【図面の簡単な説明】

【図1】本発明を具体化したスイッチング回路の第1実施例を示す回路図である。

【図2】本発明を具体化したスイッチング回路の第2実施例を示す回路図である。

7

【図3】本発明を具体化したスイッチング回路の第3実施例を示す回路図である。

【図4】本発明を具体化したスイッチング回路の第4実施例を示す回路図である。

【図5】従来のスイッチング回路を示す回路図である。

【図6】従来のスイッチング回路を示す回路図である。

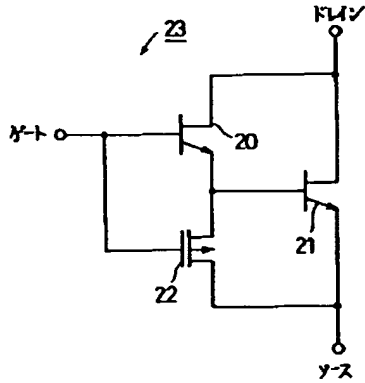
8

【図7】従来の蓄積電荷放電回路を示す回路図である。

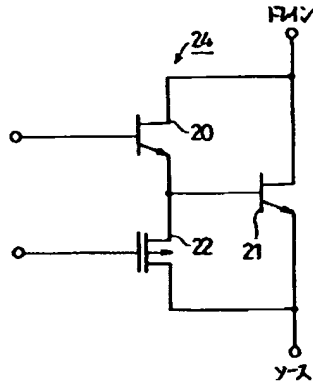
【符号の説明】

20…前段のスイッチング素子としてのSIT、21…後段のスイッチング素子としてのSIT、22…第3のスイッチング素子としてのMOSTランジスタ

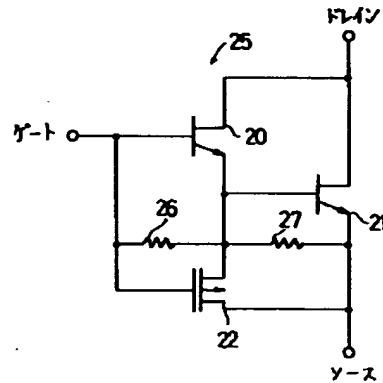
【図1】



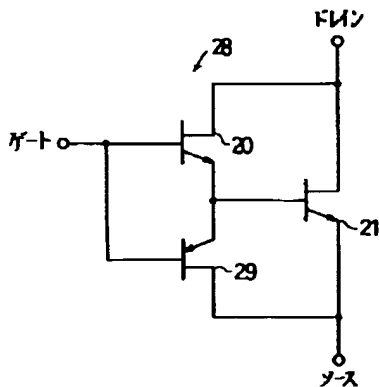
【図2】



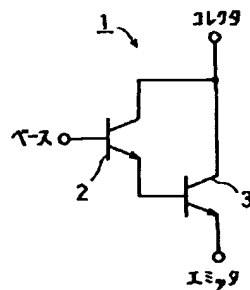
【図3】



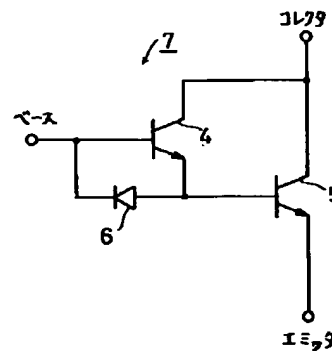
【図4】



【図5】



【図6】



【図7】

